

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244327

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01L 21/76  
H01L 21/316

(21)Application number : 2000-057174

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 02.03.2000

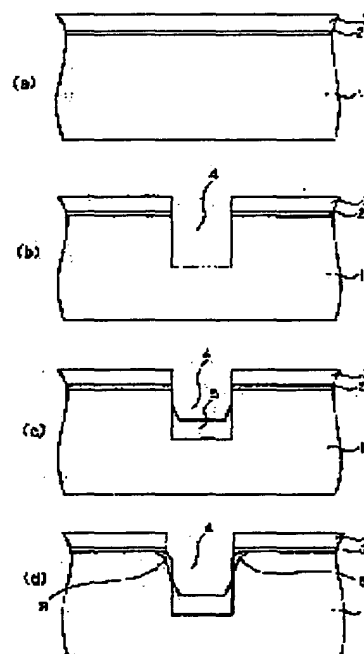
(72)Inventor : SASADA KAZUHIRO

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a rounding oxidation method for inhibiting deterioration of a withstanding voltage of an oxide film and a reversely narrow channel effect.

SOLUTION: On a silicon substrate 1, a mask 3 for forming a trench is provided, and a trench 4 is formed by eliminating the substrate 1 with the mask 3. After forming the trench 4, an oxide film 5 for controlling oxidation is formed so that the corner is not covered with the oxide film but the trench side wall is covered with the oxide film. Then a trench corner is rounded by thermal oxidation.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-244327  
(P2001-244327A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L	21/76	H 0 1 L	S 5 F 0 3 2
	21/316	21/76	L 5 F 0 5 8

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2000-57174 (P2000-57174)

(22) 出願日 平成12年3月2日 (2000.3.2)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 笹田 一弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100085213

弁理士 鳥居 洋

Fターム (参考) 5F032 AA36 AA44 AA46 AA49 AA54

AA70 CA17 DA02 DA03 DA04

DA09 DA23 DA24 DA25 DA28

DA33 DA34 DA53 DA78

5F058 BA04 BC02 BE10 BF07 BF46

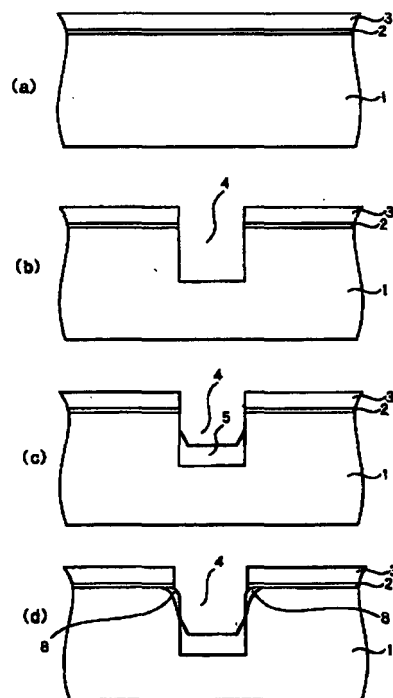
BF56 BF62 BJ01 BJ06

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 酸化膜耐圧の劣化や逆狭チャネル効果を抑えるた丸め酸化方法を提供することを目的とする。

【解決手段】 シリコン基板1上に、トレンチ形成用マスク3を設け、このマスク3を用いて基板1を除去してトレンチ4を形成する。トレンチ4形成後、コーナー部は酸化膜で覆われずに、トレンチ側壁部は酸化膜で覆うように酸化制御用酸化膜5を形成した後、熱酸化によりトレンチコーナー部分を丸める。



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に、トレンチ形成用マスクを設け、このマスクを用いて半導体基板を除去してトレンチを形成し、このトレンチを酸化膜で埋め戻し、素子分離領域を形成する半導体装置の製造方法において、トレンチ形成後、コーナー部は酸化膜で覆われずに、トレンチ側壁部は酸化膜で覆うように酸化制御用絶縁膜を形成した後、熱酸化によりトレンチコーナー部分を丸めることを特徴とする半導体装置の製造方法。

**【請求項2】** 半導体基板上に、トレンチ形成用マスクを設け、このマスクを用いて半導体基板を除去してトレンチを形成し、このトレンチを酸化膜で埋め戻し、素子分離領域を形成する半導体装置の製造方法において、トレンチ形成後、トレンチ側壁部にトレンチのコーナー部から深さ方向に膜厚が増加する酸化制御用絶縁膜を形成した後、熱酸化によりトレンチコーナー部分を丸めることを特徴とする半導体装置の製造方法。

**【請求項3】** 前記酸化制御用絶縁膜は塗布膜で形成されることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

**【請求項4】** 前記酸化制御用絶縁膜はHD-CVD法により形成されることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、半導体装置の製造方法に係り、詳しくは半導体装置の素子分離方法に関するものであり、特に従来の選択酸化法（LOCOS法）に代わるトレンチ素子分離法（Shallow Trench Isolation法：以下STI法という）に関するものである。

**【0002】**

**【従来の技術】** 近年、半導体装置の高密度化、高集積化にともなって、素子の微細化が進められている。素子を微細化し高密度・高集積化するためには、素子自体の微細化と同時に素子分離領域の微細化が重要になってきている。

**【0003】** 従来の素子分離技術にはLOCOS法が用いられてきた。LOCOS法を用いると、リソグラフィ及びエッチングによる加工限界の微細なパターンを形成しても、横方向への酸化が進み、素子分離領域の幅が広がってしまうという点と、微細な分離領域を形成すると、酸化が進まず素子分離が不完全になるという問題が生じてきている。以上のように、LOCOS法による素子分離では、分離幅を小さくすることが限界になりつつある。また、素子分離部分の凹凸により、凹凸部分での微細なパターン加工が困難に成りつつある。これらの問題点から、新しい素子分離技術が模索されており、最近では、LOCOS法に代わってSTI法による素子分離技術が検討されている。

**【0004】** 例えば、特開平9-8118号公報に開示されているSTI法を図6（a）ないし図6（c）に基づいて説明する。

**【0005】** （1）単結晶シリコン基板51上に、パッド酸化膜としてのシリコン酸化膜52、シリコン窒化膜53、ポリシリコン膜54及びシリコン酸化膜55を順次形成した後、リソグラフィ工程により、これらの膜から半導体基板51にかけてトレンチ56を形成する（図6（a）参照）。

**【0006】** （2）トレンチ56内及び基板51上に、素子分離用絶縁膜としてのBPSG膜57を堆積した後、BPSG膜57を熱処理してリフローさせ、BPSG膜57の表面を平坦化する（図6（b）参照）。

**【0007】** （3）BPSG膜57、シリコン酸化膜55、ポリシリコン膜54及びシリコン窒化膜53を順次エッチバックして、最終的に半導体基板51のトレンチ56にBPSG膜（素子分離用絶縁膜）57を埋め込む（図6（c）参照）。

**【0008】** このSTI法による素子分離膜の形成方法は、上記のように、半導体基板51上にトレンチ（溝）56を形成し、その内部に絶縁物を埋めこむ工程を経る。STI法における最小素子分離幅は、リソグラフィやエッチングの加工限界と同じ程度まで微細化が可能となる。

**【0009】** 上記したトレンチ素子分離法によって素子分離を行った場合、このトレンチのコーナーが鋭いとプロセス中のストレスによりシリコン基板に欠陥が入ったり、接合リークが増大する問題がある。特に基板表面側のコーナーはこれが鋭い場合、この上に形成されるゲート酸化膜の信頼性が劣化したり、ゲート電極からの電界が集中して逆狭チャネル効果がおこるなどのトランジスタの特性変動が発生する問題があった。

**【0010】** これらの問題を解決するため、トレンチ形成後のシリコン基板の表面を酸化してコーナーを丸める対策が取られる場合、高温の酸化雰囲気中で酸化したり、HClなどを添加した雰囲気中で酸化されていた。

**【0011】** 図7は、従来の丸め酸化を行ったSTIの構造を示す断面図である。図7に示すものは、シリコン基板51上に、シリコン酸化膜58、シリコン窒化膜59を堆積後、素子分離となる領域をリソグラフィーによって開口し、トレンチエッチングを行いトレンチ56を作成後、丸め酸化により酸化膜60を形成したものである。

**【0012】** 丸め酸化における現象を以下に記述する。酸化種である酸素が拡散しシリコン（Si）に到達すると、Siと反応し二酸化シリコン（SiO<sub>2</sub>）が生成される。この場合、酸化反応は以下になる。

**【0013】** 反応速度＝ $K_s \times C$  …（1）

ここで、C：HPg（C：表面濃度、H：ヘンリー定数、Pg：酸素分圧）、

Ks：表面反応速度定数である。

#### 【0014】

【発明が解決しようとする課題】従来のSTIにおいては、トレンチコーナー部よりもトレンチ側壁部のほうが酸化速度が大きいので、トレンチコーナー部の応力が大きくなり、トレンチコーナー部の酸化速度が小さくなり、図7に示すように、トレンチのコーナー部に突起が設けられたような形状になる。このような形状では、コーナーの電界集中により、酸化膜耐圧の劣化や逆狭チャネル効果が現れるなどの問題があった。

【0015】この発明は、上述した従来の問題点を解決するためになされたものにして、酸化膜耐圧の劣化や逆狭チャネル効果を抑える丸め酸化方法を提供することを目的とする。

#### 【0016】

【課題を解決するための手段】この発明は、半導体基板上に、トレンチ形成用マスクを設け、このマスクを用いて半導体基板を除去してトレンチを形成し、このトレンチを酸化膜で埋め戻し、素子分離領域を形成する半導体装置の製造方法において、トレンチ形成後、コーナー部は酸化膜で覆われずに、トレンチ側壁部は酸化膜で覆うように酸化制御用絶縁膜を形成した後、熱酸化によりトレンチコーナー部分を丸めることを特徴とする。

【0017】また、この発明は、半導体基板上に、トレンチ形成用マスクを設け、このマスクを用いて半導体基板を除去してトレンチを形成し、このトレンチを酸化膜で埋め戻し、素子分離領域を形成する半導体装置の製造方法において、トレンチ形成後、トレンチ側壁部にトレンチのコーナー部から深さ方向に膜厚が増加する酸化制御用絶縁膜を形成した後、熱酸化によりトレンチコーナー部分を丸めることを特徴とする。

【0018】前記酸化制御用絶縁膜は塗布膜で形成することができる。

【0019】前記酸化制御用絶縁膜はHD-CVD法により形成することができる。

【0020】上記したように、この発明は、酸素の拡散係数を小さくして酸素の供給を制限し、酸化温度を大きくして酸化活性化エネルギーを小さくすることにより、酸化反応を拡散律速にさせる。すなわち、この発明によれば、トレンチに酸化制御用絶縁膜を設けているので、トレンチコーナー部とトレンチ側壁部との間で酸素の供給量に差が付き、トレンチコーナー部の酸素供給量を大きくし、トレンチコーナー部で酸化反応を拡散律速にすることができる。従って、実質的にトレンチ側壁部の酸化速度をトレンチコーナー部よりも小さくなり、確実な丸めが形成される。

#### 【0021】

【発明の実施の形態】この発明の実施形態について図に基づいて説明する。

（第1の実施形態）第1の実施形態を図1（a）ないし

図3（i）に従い説明する。

【0022】工程1（図1（a）参照）：p型単結晶シリコン基板1上に、例えば、950℃ドライ酸素による熱酸化法を用いてシリコン酸化膜2（膜厚10～150nm）を形成した後、その上にCVD法（減圧CVD法、プラズマCVD法、高密度プラズマCVD法又は常圧CVD法）を用いて、シリコン窒化膜3（200nm）を形成する。

【0023】工程2（図1（b）参照）：素子分離領域に対応させて、フォトリソグラフィ技術を用いて形成したレジストをマスクとして、シリコン窒化膜3、シリコン酸化膜2をエッチングして、トレンチ形成用のハードマスクを形成する。このエッチングは、例えば、Cl<sub>2</sub>を主体としたガスを用いて、RIEエッチングにより行う。エッチング終了後、レジストは除去される。シリコン窒化膜3をマスクとして、例えば、HBr及び酸素（O<sub>2</sub>）等のガスを用いたRIEによりシリコン基板1に深さ500nm程度の溝（トレンチ）4を形成する。

【0024】工程3（図1（c）参照）：塗布膜（SOG）5を膜厚50～500nmの範囲で、トレンチコーナー部は酸化膜で覆われていないが、トレンチ側壁部は酸化膜で覆うように堆積する。このようにして、次工程における酸化制御用絶縁膜を形成する。

【0025】工程4（図1（d）参照）：シリコン基板1を、例えば、1000～1200℃の温度でドライ酸素によって酸化して、トレンチ4のコーナー部を丸めるように酸化する。

【0026】上記したように、SOG5によりトレンチコーナー部は酸化膜で覆われていないが、トレンチ側壁部は酸化膜で覆われている。このため、トレンチコーナー部において（1）式のCをトレンチ側壁部よりも大きくすることができる。そして、1000～1200℃の高温酸化で酸化活性化エネルギーを小さくしておけば、トレンチコーナー部で酸化反応を拡散律速にすることができるので、実質的にトレンチ側壁部の酸化速度をトレンチコーナー部よりも小さくでき、コーナー部分は1/4円状の丸め酸化が行われる。このように、この丸め酸化は、トレンチコーナー部分ではすぐに酸化反応が起こるが、トレンチ側壁部では、酸素の拡散後、酸化が始まるので、効果的に丸められたトレンチコーナー部8が形成される。

【0027】工程5（図2（e）参照）：溝4を、例えば、HDP-CVD法により二酸化シリコン（SiO<sub>2</sub>膜）9を500nm程度堆積して、埋め戻して、素子分離膜7を形成する。

【0028】工程6（図2（f）参照）：化学的機械研磨法（CMP法）を用いてシリコン窒化膜3上に堆積している絶縁膜9を除去し、シリコン窒化膜3の上面がすべて露出させる。この際、絶縁膜3はCMPによって膜厚が減少する。なお、CMP法の代わりに異方性全面エ

ッチバックを行って平坦化させてもよい。このエッチバックを用いると、シリコン酸化膜9とシリコン窒化膜3とのエッチングレートの違いにより、シリコン窒化膜3がエッチングストップとなって、エッチバックはシリコン窒化膜3が露出した時点で終了させる。

【0029】工程7（図2（g）参照）：160℃に加熱したリン酸を用いて、シリコン窒化膜3を選択的に除去する。熱リン酸のシリコン窒化膜とシリコン酸化膜に対するエッチングレートは、温度によって変化するが、シリコン窒化膜の方が30～40倍程度速い。絶縁膜2と素子分離膜7が露出した状態で、絶縁膜2を除去する。

【0030】工程8（図3（h）参照）：絶縁膜2を除去したシリコン基板1表面のトランジスタ形成領域に、ゲート酸化膜11を形成する。

【0031】工程11（図3（i）参照）：ゲート酸化膜11上にドーパドポリシリコンなどの導電層12を形成する。導電層12のパターニングを行ってゲート電極を形成する。

【0032】このように形成されたトランジスタはトレンチのコーナー部分を制御よく丸めることができるため、この部分に形成されるゲート酸化膜の信頼性劣化などが生じず、高品質、高信頼の半導体装置が提供できる。

【0033】（第2の実施形態）次に、この発明の第2の実施形態につき、図4に従い説明する。なお、第1の実施形態と同じ工程については、説明の重複を避けるために、ここでは、説明を省略する。

【0034】前記した工程1から工程2に示した同じ工程に基づいて、シリコン基板1に深さ500nm程度の溝（トレンチ）4を形成する。

【0035】工程3a（図4（a）参照）：溝4を、例えば、プラズマCVD法により二酸化シリコン膜（SiO<sub>2</sub>）20を500nm程度堆積させる。

【0036】工程3b（図4（b）参照）：堆積した二酸化シリコン膜20を異方性エッチングで溝4のコーナー部分が露出するまで除去する。このエッチングにより、トレンチコーナー部は酸化膜で覆われていないが、トレンチ側壁部は酸化膜で覆われた形状の酸化膜21が溝4内に残存する。この酸化膜21が次工程での酸化制御用絶縁膜として機能する。

【0037】続いて、上記した工程4と同じくシリコン基板1を例えば1000～1200℃の温度でドライ酸素によって酸化して、トレンチ4のコーナー部を丸めるように酸化する。この丸め酸化においても、酸化膜21によりトレンチコーナー部は酸化膜で覆われていないが、トレンチ側壁部は酸化膜で覆われているので、トレンチコーナー部分ではすぐに酸化反応が起こるが、トレンチ側壁部では、酸素の拡散後、酸化が始まる。この結果、効果的に丸められたトレンチコーナー部が形成され

る。

【0038】以降は第1の実施形態の工程と同じ工程により、素子分離領域10の形成、ゲート絶縁膜の形成、導電層の形成が行われ、半導体装置が形成される。

【0039】（第3の実施形態）次に、この発明の第3の実施形態につき、図5に従い説明する。なお、第1の実施形態と同じ工程については、説明の重複を避けるために、ここでは、説明を省略する。

【0040】前記した工程1から工程2に示した同じ工程に基づいて、シリコン基板1に深さ500nm程度の溝（トレンチ）4を形成する。

【0041】工程3c（図5（a）参照）：溝4をHDP-CVD法により、膜厚50～700nmの範囲で酸化膜25を堆積させる。このように酸化膜25を堆積させることで、トレンチ4の側壁に深さ方向に膜厚が厚くなる酸化膜25が形成される。この酸化膜25が次工程での酸化制御用絶縁膜として機能する。

【0042】続いて、上記した工程4と同じくシリコン基板1を例えば1000～1200℃ドライ酸素によって酸化して、トレンチ4のコーナー部を丸めるように酸化する。この丸め酸化においても、酸化膜25によりトレンチ部はコーナー部から深さ方向に膜厚が厚くなるように壁面が酸化膜で覆われているので、トレンチコーナー部分ではすぐに酸化反応が起こるが、トレンチ側壁部では、酸素の拡散後、酸化が始まり、効果的に丸められたトレンチコーナー部が形成される。

【0043】以降は第1の実施形態の工程と同じ工程により、素子分離領域10の形成、ゲート絶縁膜の形成、導電層の形成が行われ、半導体装置が形成される。

【0044】上記した実施形態においては、酸化制御用絶縁膜として酸化膜を用いたが、これ以外に、窒化膜、酸化窒化膜等を用いることもできる。

【0045】

【発明の効果】以上説明したように、この発明によれば、トレンチのコーナー部分を確実に丸められ、コーナーの電界集中によるゲート酸化膜耐圧の劣化や逆狭チャネル効果を抑制することができる。

【図面の簡単な説明】

【図1】この発明の半導体装置の第1の実施形態にかかる製造方法を工程別に示す断面図である。

【図2】この発明の半導体装置の第1の実施形態にかかる製造方法を工程別に示す断面図である。

【図3】この発明の半導体装置の第1の実施形態にかかる製造方法を工程別に示す断面図である。

【図4】この発明の半導体装置の第2の実施形態にかかる製造方法を工程別に示す断面図である。

【図5】この発明の半導体装置の第2の実施形態にかかる製造方法を工程別に示す断面図である。

【図6】従来の半導体装置の製造方法を工程別に示す断面図である。

【図 7】従来の丸め酸化を行った S T I の構造を示す断面図である。

【符号の説明】

1 シリコン基板

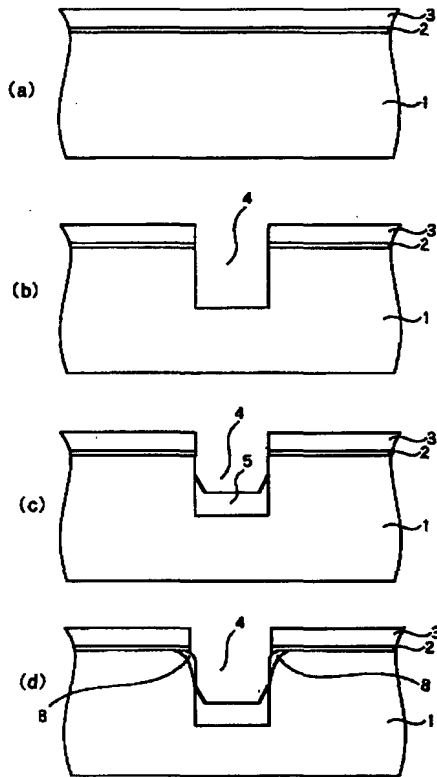
2 シリコン酸化膜

3 シリコン窒化膜

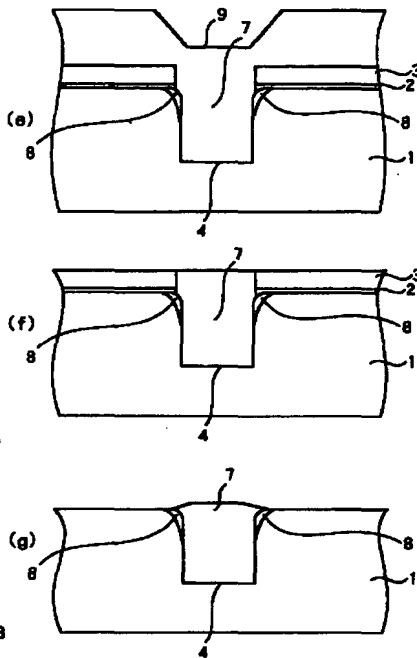
4 溝 (トレンチ)

5 塗布 (SOG) 膜 (酸化制御用酸化膜)

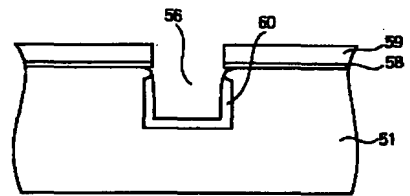
【図 1】



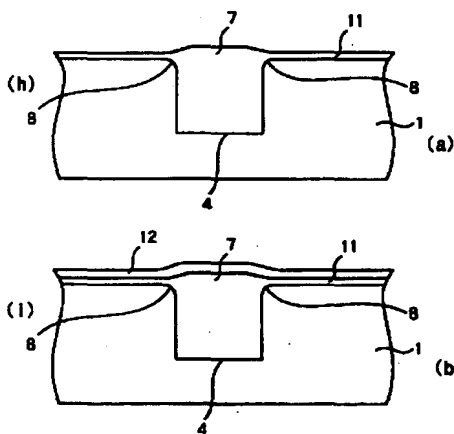
【図 2】



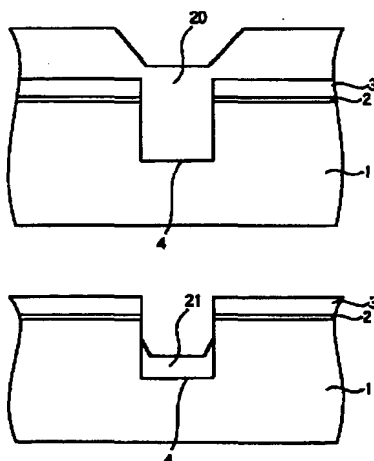
【図 7】



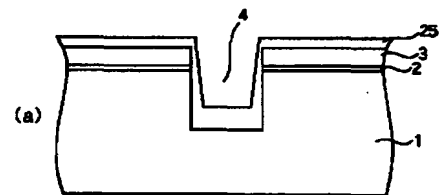
【図 3】



【図 4】



【図 5】



【図6】

